

Τομέας Αρχιτεκτονικής Υπολογιστών και Βιομηχανικών Εφαρμογών
Επιβλέπων: Δρ. Ι. Καλόμοιρος, Αναπλ. Καθηγητής, ikalom@teiser.gr

ΘΕΜΑ ΠΤΥΧΙΑΚΗΣ ΕΡΓΑΣΙΑΣ

Σχεδίαση με VHDL και υλοποίηση σε FPGA πυρήνα λογισμικού για soft μικροελεγκτή (soft-microcontroller)

Σ' αυτή την πτυχιακή εργασία θα μελετηθεί η σχεδίαση ενός εκπαιδευτικού μικροελεγκτή με γλώσσα περιγραφής υλικού (VHDL). Ο μικροελεγκτής θα σχεδιαστεί ως RISC επεξεργαστής με μικρό σετ εντολών. Αρχικά, θα έχει διάδρομο επεξεργασίας οκτώ bits, με προοπτική επέκτασης στα δεκαέξι και τριανταδύο bits. Ο επεξεργαστής θα περιλαμβάνει τις εξής μονάδες:

1. Βασική, επεκτάσιμη Κεντρική Μονάδα Επεξεργασίας, με μονάδα αποκωδικοποίησης εντολών (IR), μονάδα ελέγχου (CU) και αριθμητική και λογική μονάδα (ALU). Ο επεξεργαστής θα αποκωδικοποιεί εντολές της μορφής

OP Code Source Register, Target Register, Destination register

Θα προβλεφθεί δυνατότητα για 64 εντολές. Αρχικά ο επεξεργαστής θα εκτελεί απλές εντολές φόρτωσης δεδομένων, πρόσθεσης, αφαίρεσης, λογικού AND, OR, XOR, συμπληρώματος. Η εκτέλεση των εντολών θα γίνεται σε τέσσερις φάσεις (fetch, decode, execute, store).

Η ALU θα εκτελεί πράξεις σταθερής υποδιαστολής. Αρχικά, θα επιτελεί τις πράξεις της πρόσθεσης και της αφαίρεσης προσημασμένων αριθμών, ενώ αργότερα, θα μπορεί να επεκταθεί ώστε να επιτελεί και την πράξη του πολλαπλασιασμού και της διαίρεσης.

2. Αρχείο Καταχωρητών (Register File) που θα αποτελείται αρχικά από τριάντα δύο (32) καταχωρητές, με δυνατότητα επέκτασης

3. Μνήμη προγράμματος, με δυνατότητα αποθήκευσης αρχικά 128 εντολών.

4. Απαριθμητή προγράμματος.

5. Ένας καταχωρητής του συστήματος θα συνδέεται με τη θύρα εισόδου και ένας θα συνδέεται με τη θύρα εξόδου.

Σε μεταγενέστερες εκδοχές, ο επεξεργαστής θα περιλαμβάνει και χρονιστή, καθώς και ελεγκτή σημάτων διακοπής. Επίσης, θα περιλαμβάνει σειριακή θύρα και κύκλωμα UART.

Ο φοιτητής/τρια θα σχεδιάσει και θα υλοποιήσει τον βασικό οκτάμπιτο επεξεργαστή με τις οδηγίες του διδάσκοντα, κάνοντας χρήση κατάλληλης βιβλιογραφίας.

Απαραίτητες γνώσεις και προαπαιτούμενα μαθήματα:

1. Αρχιτεκτονική Υπολογιστών
2. Προηγμένα Ψηφιακά Συστήματα
3. Προγραμματισμός Συστημάτων Πραγματικού Χρόνου

Βιβλιογραφία

Ali Alkateeb, A Processor Design Course Project: Creating Soft MIPS Processor using step-by-step components Integration approach, *International Journal of Information and Education Technology*, vol. 1 no. 5, 2011.

Επικοινωνία: Ι. Καλόμοιρος, Αναπλ. Καθηγητής (ikalom@teicm.gr)

Διαδικασία παρακολούθησης της προόδου, την οποία ο φοιτητής αποδέχεται με την αίτησή του να εκπονήσει την πτυχιακή εργασία:

1. Ο φοιτητής/τρια πρέπει να έχει πραγματικό ενδιαφέρον να ασχοληθεί με σχεδίαση ψηφιακών συστημάτων με γλώσσα περιγραφής υλικού και ειδικότερα με την αρχιτεκτονική ενός επεξεργαστή. Επίσης, πρέπει να έχει διάθεση να μελετήσει, ώστε να καλύψει τα κενά άμεσα, χωρίς καμία καθυστέρηση.
2. Η προτεινόμενη εργασία θα πρέπει να εκπονηθεί στο εργαστήριο του Τομέα ΑΥΒΕ σε καθημερινή επαφή με τον διδάσκοντα.
3. Η προτεινόμενη εργασία πρέπει να έχει υλοποιηθεί το αργότερο μέχρι το τέλος του ημερολογιακού έτους 2019. Ο φοιτητής πρέπει να επιδειξεί αποτελέσματα μέσα στους πρώτους δύο μήνες από τον ανάληψη του θέματος.
4. Με βάση τα παραπάνω ο επιβλέπων κρίνει την πρόοδο και αποφασίζει για την συνέχεια της εργασίας. Αν ο επιβλέπων κρίνει στο τέλος του διμήνου ότι δεν υπάρχει η αναμενόμενη πρόοδος, ενώ δεν συντρέχουν αντικειμενικοί λόγοι ακαδημαϊκής φύσεως, το θέμα αφαιρείται και ανατίθεται εκ νέου, σε άλλον σπουδαστή.